PATENT ABSTRACTS OF JAPAN

(11) Publication number:

11-187052

(43) Date of publication of application: 09.07.1999

(51) Int. CI.

H04L 12/40 H04L 5/14

(21) Application number : 10-245159

.....

(22) Date of filing:

31, 08, 1998

(71) Applicant : ADVANCED MICRO DEVICES INC

(72) Inventor : KRISHNA GOPAL S

KALKUNTE MOHAN V

MERCHANT SHASHANK C

(30) Priority

Priority number: 97 985719

Priority date : 05. 12. 1997

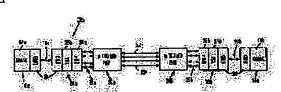
Priority country: US

(54) METHOD FOR TRANSFERRING DATA FRAME AND DEVICE FOR TRANSMITTING DATA FRAME

(57) Abstract:

PROBLEM TO BE SOLVED: To provide an economical configuration showing a mounting function required for enabling the load allocation of a high-speed data frame on plural low-speed physical links.

SOLUTION: A giga-bit network node 12 having a medium access controller 16 for outputting the data frame at giga-bit speed enables the mount of a giga- bit network using a low-cost data link 22 while using plural 100 MB/sec media interface link 21 connected to a physical interface 20. An arbitration layer 18 calls media interface as well receives the data frame from the giga-bit MAC and according to a route selection arbitration logic in the media interface, received packet data are selectively stored in one of plural transmission buffers respectively related with the correspondent 100 MB/sec media interface links.



LEGAL STATUS

[Date of request for examination]

30. 06. 2005

[Date of sending the examiner's decision of rejection]

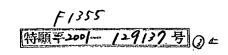
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]



(19)日本国特許庁 (JP)

(12) 公開特調

(11)特許出願公開番号

特開平11-187052

(43)公開日 平成11年(1999)7月9日

(51) Int.Cl.⁶

餓別記号

FΙ

H04L 12/40 5/14

H04L 11/00

320

5/14

審査請求 未請求 請求項の数19 OL (全 10 頁)

(21)出願番号

特願平10-245159

(22)出願日

平成10年(1998) 8月31日

(31)優先権主張番号 08/985719

(32)優先日

1997年12月5日

(33)優先権主張国

米国(US)

(71)出願人 591016172

アドパンスト・マイクロ・ディパイシズ・

インコーポレイテッド

ADVANCED MICRO DEVI CES INCORPORATED

アメリカ合衆国、94088-3453 カリフォ ルニア州、サニィベイル、ピィ・オゥ・ボ

ックス・3453、ワン・エイ・エム・ディ・

プレイス(番地なし)

(74)代理人 弁理士 深見 久郎 (外3名)

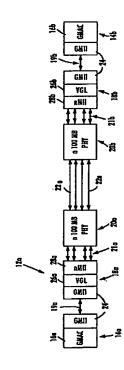
最終頁に続く

(54) 【発明の名称】 データフレームを転送する方法およびデータフレームを送信するための装置

(57)【要約】

【課題】 複数の低速物理リンク上での高速データフレ ームの負荷割当てを可能にするのに必要な実装機能を示 す経済的な構成を提供する。

【解決手段】 ギガビット速度でデータフレームを出力 するメディアアクセスコントローラ(16)を有するギ ガビットネットワークノード(12)は、物理インタフ ェース(20)に結合される複数の100MB/秒メデ ィアインタフェースリンク(21)を用いて低コストの データリンク(22)を用いたギガビットネットワーク の実装を可能にする。メディアインタフェースとも称さ れる調停レイヤ(18)はギガビットMACからデータ フレームを受信し、メディアインタフェース内の経路選 択調停論理に従って、受信したパケットデータをそれぞ れ対応の100MB/秒メディアインタフェースリンク と関連する複数の送信バッファのうちの1つの中に選択 的に記憶する。



【特許請求の範囲】

【請求項1】 発信元のネットワークノード(12a) のメディアアクセスコントローラ (16) から出力され るデータフレームを行先ネットワークノード(12b) へ転送する方法であって、

各々がデータを前配行先ネットワークノード(12b) と連絡しているそれぞれ対応の物理レイヤリンク(2) 2) へ第1のデータ速度において送信するように構成さ れる複数の第1のメディアインタフェースリンク(2) 1)を確立するステップと、

第2のメディアインタフェースリンク(19)を介して 前記メディアアクセスコントローラから前記データフレ ームをメディアインタフェース(18)内で前記第1の データ速度より速い第2のデータ速度において受信する ステップと、

前記メディアインタフェースから前記受信されたデータ フレームを、前記メディアインタフェース内の経路選択 調停論理(33)に従って、前記第1のメディアインタ フェースリンクのうちの選択された1つ上での送信のた め、送信するステップとを含む、方法。

【請求項2】 前記受信するステップは、前記経路選択 調停論理に従って複数の送信バッファ(34)のうちの 1つに前記データフレームを記憶するステップを含み、 各送信バッファは対応する第1のメディアインタフェー スリンクへ送信すべきデータを記憶するように構成され る、請求項1に記載の方法。

【請求項3】 前記送信するステップは、所定の最小し きい値に達する記憶されたバイト数と、対応する第1の メディアインタフェースリンクの検出される利用可能性 とに応答して前記1つの送信バッファに記憶される前記 30 データを出力するステップを含む、請求項2に記載の方 法。

【請求項4】 前記記憶するステップは、前記送信バッ ファ間のLRU調停(33a)に基づいて前記受信され たデータフレームを記憶するための前記1つの送信バッ ファを前記経路選択調停論理により選択するステップを 含む、請求項3に記載の方法。

【請求項5】 前記選択するステップは、前記LRU調 停としてラウンドロビン調停(33a)を用いて前記1 つの送信バッファを選択するステップを含む、請求項4 に記載の方法。

【請求項6】 前記記憶するステップは、

前記データフレームの優先順位を定めるステップと、 前記定められた優先順位に基づいて高優先順位バッファ (60) および低優先順位バッファ(62) の一方に前 記データフレームを選択的に記憶するステップと、 前記高優先順位バッファ内に記憶されたデータに関連す

る前記定められた優先順位に基づいて、対応する優先順 位パッファから前記1つの送信パッファへ前記データフ レームを出力するステップとを含む、請求項2に記載の 50 スリンクの対応する利用可能性に基づいて前記経路選択

方法。

【請求項7】 前記優先順位を定めるステップは、前記 データフレーム内のヘッダ情報を読取り、前記優先順位 を識別するステップを含む、請求項6に記載の方法。

【請求項8】 前記優先順位を定めるステップは、前記 データフレーム内のペイロードデータ情報を読取り、前 記優先順位を識別するステップを含む、請求項6 に記載

【請求項9】 前記受信するステップは、

前記データフレームの優先順位を定めるステップと、 10 前記定められた優先順位に基づいて高優先順位バッファ (60) および低優先順位バッファ(62) の一方に前 記データフレームを選択的に記憶するステップと、

前記経路選択調停論理(33c)に従って前記高優先順 位バッファ内に記憶される高優先順位データを複数の送 信パッファのうちの利用可能な第1のものへ最初に出力 するステップとを含み、各送信バッファは前記メディア インタフェースリンクのうちの対応する1つへ送信すべ きデータを記憶するように構成されており、前記受信す 20 るステップはさらに前記髙優先順位バッファ内の記憶さ れるバイト数が所定のしきい値以下に減少した後、前記 経路選択調停論理に従って、前記低優先順位バッファ内 に記憶される低優先順位データを前記送信バッファのう ちの利用可能な第2のものへ2番目に出力するステップ を含む、請求項1 に記載の方法。

【請求項10】 前記受信するステップは、前記第2の データ速度としての毎秒1ギガビットのデータ速度にお いて前記データフレームを前記第2のメディアインタフ ェースリンクから受信するステップを含む、請求項1に 記載の方法。

【請求項11】 前記送信するステップは、前記第1の データ速度としての毎秒100メガビットの速度におい て前記受信したデータフレームを前記1つの第1のメデ ィアインタフェースリンク上に送信するステップを含 む、請求項10に記載の方法。

【請求項12】 前記第1のメディアインタフェースリ ンクの各々から送信されたデータフレームを前記メディ アインタフェース内へ受信するステップと、

前記第1のメディアインタフェースリンクの各々から受 信した前記送信されたデータフレームを対応する受信バ ッファ(44)内に記憶するステップと、

所定の最小量のデータが前記対応する受信バッファ内に 記憶された後、前記受信バッファの各々から前記第2の メディアインタフェースリンクを介して前記メディアア クセスコントローラへ前記記憶された送信されたデータ フレームを転送するステップとをさらに含む、請求項1 に記載の方法。

【請求項13】 前記1つの第1のメディアインタフェ ースリンクは、前記1つの第1のメディアインタフェー

調停論理によって選択される、請求項1に記載の方法。 【請求項14】 メディアアクセスコントローラ(1 6) から第1のメディアインタフェースリンク(19) を介して第1の伝送速度において受信したデータフレー ムを送信するための装置であって、

それぞれ対応の複数の第2のメディアインタフェースリ ンク(21)へ出力すべきデータを記憶するように構成 される複数の送信バッファ (34)を含み、前配第2の メディアインタフェースリンクは各々がデータを前記第 1のデータ速度より遅い第2のデータ速度において送信 10 および受信するように構成されており、前記装置はさら に経路選択調停論理(33)を有し前記受信したデータ フレームを前記送信バッファのうちの選択された1つに 選択的に記憶するための第1のメディアインタフェース コントローラ(32)と、

所定のしきい値を超える対応する記憶されたバイト数お よび対応する第2のメディアインタフェースリンクの利 用可能性に基づいて、前記送信バッファの各々に記憶さ れる前記データを出力するように構成される第2のメデ 置。

【請求項15】 前記第1のメディアインタフェースコ ントローラによって高い優先順位を有するものであると 識別された、前記メディアアクセスコントローラからの データフレームを記憶するように構成される高優先順位 送信バッファ(80)と、

前記第1のメディアインタフェースコントローラによっ て低い優先順位を有するものであると識別された、前記 メディアアクセスコントローラからのデータフレームを 2) とをさらに含み、

前記第1のメディアインタフェースコントローラは、前 記低優先順位送信バッファから前記送信バッファへ出力 する前に、少なくとも1つの前記送信バッファへの前記 髙優先順位送信バッファからの出力を制御する、請求項 14 に記載の装置。

【請求項16】 複数の受信バッファ(44)をさらに 含む、請求項14に記載の装置。

【請求項17】 前記経路選択調停論理は、LRU調停 (33a)に従って前記1つの送信バッファを選択す る、請求項14に記載の装置。

【請求項18】 前記経路選択調停論理は、前記LRU 調停としてラウンドロビン方式(33a)を用いる、請 求項17に記載の装置。

【請求項19】 前記第1のメディアインタフェースリ ンクと前記第2のメディアインタフェースリンクとの間 で管理データ情報を送信するように構成される管理コン バージェンス論理(42)をさらに含む、請求項14に 記載の装置。

【発明の詳細な説明】

[0001]

【発明の背景】

[0002]

【技術分野】この発明は高速ネットワーク上でパケット データを送信することに関し、より特定的にはデータを メディアアクセスコントローラ (MAC) レイヤから、 少なくとも毎秒1ギガビットのデータ速度で動作する全 二重ネットワークの物理レイヤ上へと送信するための方 法およびシステムに関する。

[0003]

【背景技術】ローカルエリアネットワークはネットワー クケーブルまたは他の媒体を用いてネットワーク上の局 をリンクする。各ローカルエリアネットワークアーキテ クチャは、ネットワーク媒体上での送信のためデータバ ケットを物理レイヤトランシーバへ送信するメディアア クセス制御(MAC)を用いる。

【0004】イーサネットプロトコルISO/IEC 8802-3 (ANSI/IEEE規格802.3,1 993年度版)は、すべての局がネットワークチャネル ィアインタフェースコントローラ (36)とを含む、装 20 に平等にアクセスできるようにする半二重メディアアク セス機構を規定する。半二重機構は典型的に、10MB **/秒または100MB/秒のいずれかにおいて動作す** る。イーサネットネットワークに関しては全二重環境も また提案されており、これはIEEE802、3x、フ ロー制御を伴う全二重-作業草案 (Full-Duplexwith Fl ow Control-Working Draft) (0.3)と称される。 全二重環境では、たとえば100MB/秒において交換 ハブを用いて2つのネットワーク局の間に両方向ポイン トツーポイント通信リンクがもたらされ、そのため2つ 記憶するように構成される低優先順位送信バッファ(6 30 の局は衝突を起とすととなく互いの間で同時にイーサネ ットデータバケットを送信および受信することができ

> 【0005】IEEE802、3zタスクフォース(Ta sk Force) は現在、共用(すなわち半二重) および全二 重ギガビットイーサネットの動作のための規格を規定し ている。この規格は、メディアアクセス制御(MAC) レイヤと、調停レイヤと、ギガビットメディア独立なイ ンタフェース (GMII) と提案されるネットワークの 物理レイヤ(PHY)を実装することになる物理メディ 40 アに依存するサブレイヤとについて説明するものとなる であろう。提案されるネットワークにより、半二重モー ドでは毎秒1ギガビット、全二重モードでは毎秒2ギガ ビットのデータ速度において動作可能であるイーサネッ トリンクをユーザが実装できるようになる。

> 【0006】目下、ファストイーサネット規格は、ファ ストイーサネットMACレイヤ装置をファストイーサネ ット装置に接続するのに用いられる、半二重では100 MB/秒、全二重では200MB/秒において動作する イーサネットリンクをユーザが実装できるようにするメ 50 ディア独立なインタフェース(MII)を記述する。

【0007】現在、ユーザが200MB/秒を超え毎秒 1ギガビットより遅いデータ速度の範囲内で動作するイ ーサネットリンクを実装する手立てはない。さらに、ギ ガビット伝送速度において物理データリンクを実装しよ うとするのは非常に費用がかかる。なぜなら、現在の技 術ではギガビットデータ速度の送信に銅線リンクを使用 することができないためである。このため、データをギ ガビットデータ速度で送信するのに光ファイバしか用い ることができない。

【0008】ギガビット伝送速度を提供する物理レイヤ 10 データリンクを実装するための構成例の1つは、「複数 の物理リンクにわたってメディアアクセスコントローラ から高速パケットデータを送信するための構成」("AR RANGEMENT FOR TRANSMITTINGHIGH SPEED PACKET DATA F ROM A MEDIA ACCESS CONTROLLER ACROSS MULTIPLE PHYS ICAL LINKS ") (代理人事件番号 1 0 3 3 - 2 9 2) と題された1997年8月15日出願の同一出願人に譲 渡される同時係属中の出願連続番号第08/912,2 35号に開示される。開示される構成では、メディアア クセスコントローラと物理レイヤとの間に修正された調 20 停レイヤを用いてパケットデータの少なくとも一部分を メディアアクセスコントローラから多重メディアインタ フェースリンク上へ送信する。多重メディアインタフェ ースリンクを使用することで、多重メディアインタフェ ースリンク上に異なる直列データストリームを同時に送 信してデータ速度を効果的に増加させることによって費 用に対し最も効率の良い態様でより速いデータ伝送速度 がもたらされる。

[0009]

【発明の概要】複数のより低い速度の物理リンクにわた 30 って高速データフレームの負荷割当てを可能にするのに 必要な実装機能を特定的に示す経済的な構成が必要であ

【0010】また、データフレームのそれぞれの優先順 位および送信リンクの利用可能性に基づいて複数の送信 リンクにわたって高速データフレームの割当てを実装す るのに必要なアーキテクチャを特定する構成が必要であ る。

【0011】これらおよび他の必要は、高速メディアア クセスコントローラからメディアインタフェースによっ て受信したデータフレームが、選択されるメディアイン タフェースリンク上にメディアインタフェース内の経路 選択調停論理に基づいて送信されるこの発明によって満 たされる。

【0012】との発明の一局面によれば、発信元のネッ トワークノードのメディアアクセスコントローラから出 力されるデータフレームを行先ネットワークノードへ転 送する方法は、各々がデータを行先ネットワークノード と連絡しているそれぞれ対応の物理レイヤリンクへ第1 のデータ速度において送信するように構成される複数の 50 ビットネットワークのメディア実装が可能となる。1.0

第1のメディアインタフェースリンクを確立するステッ プと、第2のメディアインタフェースリンクを介してメ ディアアクセスコントローラからデータフレームをメデ ィアインタフェース内で第1のデータ速度より速い第2 のデータ速度において受信するステップと、メディアイ ンタフェースから受信されたデータフレームを、メディ アインタフェース内の経路選択調停論理に従って、第1 のメディアインタフェースリンクのうちの選択された1 つ上での送信のため、送信するステップとを含む。メデ ィアアクセスコントローラから受信したデータフレーム をメディアインタフェースリンク上へより低いデータ速 度において送信することにより、データフレームを複数 のより低い速度の送信経路に沿って分配することによっ て髙速メディアアクセスコントローラからデータを経済 的な態様で送信することが可能になる。さらに、経路選 択調停論理に基づいた送信では、複数のより低い速度の 送信経路にわたる高速データフレームトラヒックを管理 する、メディアアクセス制御レイヤ下の仮想スイッチフ ァブリックが提供される。

【0013】この発明の別の局面では、メディアアクセ スコントローラから第1のメディアインタフェースリン クを介して第1の伝送速度において受信したデータフレ ームを送信するための装置を提供し、この装置は、それ ぞれ対応の複数の第2のメディアインタフェースリンク へ出力すべきデータを記憶するように構成される複数の 送信バッファを含み、第2のメディアインタフェースリ ンクは各々がデータを第1のデータ速度より遅い第2の データ速度において送信および受信するように構成され ており、前記装置はさらに経路選択調停論理を有し受信 したデータフレームを送信バッファのうちの選択された 1つに選択的に記憶するための第1のメディアインタフ ェースコントローラと、所定のしきい値を超える対応す る記憶されたパイト数および対応する第2のメディアイ ンタフェースリンクの利用可能性に基づいて、送信バッ ファの各々に記憶されるデータを出力するように構成さ れる第2のメディアインタフェースコントローラとを含

【0014】この発明のさらなる目的、利点および新規 の特徴は、一部は以下の説明において提示され、一部は 当業者には以下の記述を考察する際に明らかになり、ま たはこの発明を実施することから知得できるであろう。 この発明の目的および利点は、特に添付の特許請求の範 囲において示される手段および組合せにより実現され達 成されるであろう。

【0015】添付の図面に言及するが、同じ参照番号を 有する要素は全体を通して同じ要素を表わす。

[0016]

【発明を実施するためのベストモード】開示される実施 例では、複数の100MB/秒PHY技術を用いたギガ

OMB/秒PHY技術は容易に利用可能であり費用対効 果が髙いため、100MB/秒リンクによってより髙い 帯域幅およびサービスの品質のオプションを必要とする 応用例に対して安く透過的な解決がもたらされる。さら に、このスケーラブルなリンクはユーザの応用、システ ムおよびデバイスドライバに対して透過的であり、ユー ザが、一度ギガビット対応の実装が当該技術において入 手可能になれば開示されたメディアインタフェースおよ びその対応の物理レイヤをこれで単に置換えることによ ってフルギガビット速度にスムーズに移行することが可 10 1つ上での送信のため、受信したデータフレームを送信 能となる。

【0017】開示される構成は、既存の100MB/秒 物理レイヤ(PHY)技術を用いた、200MB/秒か らギガビット速度まで、200MB/秒ごとのスケーラ ブルな速度を有するイーサネットリンクの実装に向けら れる。複数のリンクを用いることにより、種々のデータ フレーム(つまり、データパケット)の並列送信が可能 となり、有効データ速度が増加し、たとえば10個の1 00MB/秒物理リンクを用いて1つの仮想GB/秒リ ンクを生成する。

【0018】図1は、この発明の一実施例による、10 OMB/秒データリンクを用いてギガビット伝送速度を もたらすための複数のレイヤリンクの使用を表わすプロ ック図である。各ネットワークノード12は、プロトコ ルレイヤおよびデバイスドライバ(図示せず)ならびに IEEE802. 3ェ作業部会により提案されるギガビ ットイーサネット規格に従ったギガビットMAC(GM AC) コア16を有するギガビットメディアアクセスコ ントローラ (GMAC) レイヤ14を含む。各ネットワ ークノード12はまた、汎用メディアインタフェースと も称される特殊な調停レイヤ18を含み、これはギガビ ットMAC18へのメディアインタフェースリンク19 とインタフェースし、複数の100MB/秒メディアイ ンタフェースリンク22。、22,、22,から22。 までを提供する少なくとも1つの100MB/秒物理レ イヤ(PHY)装置20に対して複数の100MB/秒 メディアインタフェースリンク21を介してトラヒック を分配し多重化しデマルチプレックスし集めるのに必要 なサービス機能を提供する。図1に示されるように、特 殊な調停レイヤ18およびGMACレイヤ14は、たと えばパイトベースで125MB/秒でメディアインタフ ェースリンク19を介して、図5に示されるIEEE8 02.3に従ったデータパケットを送信および受信する ためのギガビット速度メディア独立なインタフェース (GMII) 24を含む。

【0019】GMAC16はIEEE802. 3プロト コルに従って、データフレームとも称されるデータパケ ットを生成する。次に、GMAC16はプリアンブル、 ヘッダ(発信元および行先アドレス102および10 4、任意のVLANタグ106 およびパケットタイプ/ 50 れた1つに送る。以下に説明するように、GMIIメデ

長さフィールド108を含む)、ペイロードデータフィ ールド110および巡回冗長検査(CRC)またはフレ ームチェックシーケンス (FCS) フィールド112を 含む図5のデータパケットをGMIIインタフェース2 4を介して調停レイヤ18(すなわちメディアインタフ ェース)へ出力する。調停レイヤ18は、データパケッ トをGMIIインタフェース24からギガビットデータ 速度において受信するように構成され、かつメディアイ ンタフェースリンク22。-22。のうちの選択された するように構成される仮想ギガビットレイヤ26を含 む。詳しくは、仮想ギガビットレイヤは、nMII28 として図1に集合的に示される複数のメディア独立なイ ンタフェース (MII) のうちの選択される1つへ各デ ータフレームを出力する。当該技術において知られてい るように、MII28の各々は、対応する物理レイヤリ ンク22にわたっての送信および受信のため、対応する メディアインタフェースリンク21を介した物理レイヤ 装置20との100MB/秒全二重接続をもたらす。物 20 理レイヤ装置20は所望により100BASE-TX. 100BASE-T4、または100BASE-FXの タイプのものであってもよい。

【0020】図2は、この発明の第1の実施例による、 図1の仮想ギガビットレイヤ26 aのうちの1つを詳し く示すブロック図である。図2に示されるように、VG L26aは、ギガビットデータ速度においてバケットデ ータの開始を示すプリアンブルをGMII24を介して GMAC16aから検出するように構成されるプリアン ブル検出回路30を含む。VGL26aはまた、経路選 30 択調停論理33を有するGMII制御回路32と、複数 のMII送信バッファ34と、MII制御36と、複数 の100MB/秒プリアンブル検出回路38と、GMI I 2 4 と複数の 1 0 0 MB/秒M I I リンク 2 8 との間 で管理データクロック(MDC)および管理データ(M DIO)を供給するように構成される管理コンバージェ ンス論理42とを含む。VGL26はまた、MII28 から受信されGMII24へ出力されるデータのための 複数のMII受信バッファ44を含む。

【0021】図2に示されるように、GMAC16aに よって出力されるデータフレームはギガビットメディア インタフェースリンク19aにわたってGMII24を 介してVGL26aによって受信される。プリアンブル 検出回路30はGMIIインタフェース24上のギガビ ットパケット上のプリアンブルを検出し、VGL26a がGMAC16aと同期しパケットデータパケットの受 信を開始するのを可能にする。プリアンブルの検出に応 答して、GMII制御32はパケットデータ(プリアン ブル、ヘッダ、ペイロードデータおよびCRCフィール ドを含む)をMII送信バッファ34,のうちの選択さ

ィアインタフェースコントローラとも称されるGMII制御32は、対応する100MB/秒送信経路のための送信パッファ34、を選択する調停論理33を含む。

【0022】MIIメディアインタフェースコントローラとも称されるMII制御36は、図2および図3に点線で示されるように、送信バッファ34、内の記憶されたデータが所定のしきい値を超えたことに応答してデータフレームを出力する。MII制御36はまた、MII28、からの受信したデータフレームを対応するMII受信バッファ44、内に記憶することを制御する。点線により示されるように、一旦、予め定められた最小数のパイトが受信バッファ44、に記憶されると、GMIIコントローラ32はデータフレームを適当な受信バッファ34、からGMAC16へGMII24を介して出力する。

【0023】GMII制御32は、GMII24から受 信したデータフレームの送信を、経路選択調停論理33 を用いて送信バッファ34,のうちの1つを選択すると とによって制御する。特に、図4は、GMII制御32 がGMII24からの入来データフレームを送信バッフ ァ34、のうちの選択される1つへ経路付ける上で用い 得る異なる調停論理方式を示すブロック図である。経路 選択調停論理33は、ラウンドロビン部分33aなどの LRU (リーストリーセントリーユーズド) 調停部分、 統計的調停部分33bおよび優先順位調停部分33cを 含む。典型的には、これらの調停論理部分のうちの1つ がネットワークの最初の構成時に応用に応じて選択され る。ラウンドロビン調停論理33aは受信されたパケッ トを次に続く送信パッファ34、へ所定のシーケンスで 送るように構成される。代わりに、調停論理33aは、 送信バッファまたはそれぞれ対応のMIIリンクの順序 付けにかかわらず、データフレームをLRU送信バッフ ァ34、へ供給するよう、より一般的な態様で構成され てもよい。統計的調停論理33bは、データパケットの 長さがかなり異なる場合に、トラヒック管理の観点から データパケットをより均一に分配するよう用いることが できる。この場合、MACレイヤ上の高レベル処理(た とえば伝送制御プロトコル(TCP))を用いて、行先 局においてパケットの順序付けを監視してもよい。最後 に、図3の構成では、GMII24から受信されるデー タフレームの優先順位を定めるのに優先順位調停論理3 3 cが用いられる。この場合、優先順位調停33 cは、 (たとえば図5のフィールド102、104、106ま たは108のうちの1つから) 受信されたデータフレー ムのヘッダ内の所定の値を検出すること、または図5に 示されるデータフィールド110内の所定のデータパタ ーンを検出することを含むさまざまな方法で、受信した データフレームの優先順位を定めることができる。

【0024】図3は、この発明の一実施例による、複数 低い速度のメディアインタフェースリンクと関連のある の物理レイヤリンクにわたって高優先順位フレームおよ 50 それぞれ対応のバッファ内にデータフレームを記憶する

10

び低優先順位フレームを送信するように構成される仮想 ギガビットレイヤ26 aを示すブロック図である。図3 に示されるように、仮想ギガビットレイヤ26 'は、それぞれ対応の100MBメディアインタフェースリンク28へ出力すべきデータフレームを記憶するように構成される複数の送信バッファ34と、それぞれ対応の100MBメディアインタフェースリンク28から受信されるデータフレームを記憶するように構成される複数の受信バッファ44とを含む。このように、図3の受信経路は図2の受信経路と同じである。

【0025】図3はまた、GMIIコントローラ32′内の優先順位調停論理33cにより高い優先順位を有するものであると識別される、GMII24を介するGMAC16からのデータフレームを記憶するよう構成される高優先順位送信バッファ60を含む。仮想ギガビットレイヤ26′はまた、GMII制御32′の優先順位調停論理33cにより低い優先順位を有するものであると識別される、GMII24を介するGMAC16からのデータフレームを記憶するように構成される低優先順位20送信バッファ62を含む。

【0026】経路選択調停論理33は、まず高優先順位 送信バッファ60が何らかのデータを記憶しているかど うかを確認することによって送信バッファ34、のうち の1つを、対応する100MBメディアインタフェース リンク28上にデータを送信するために選択する。高優 **先順位送信バッファ60が何らかのデータフレームを記** 憶している場合、または記憶されたデータバイト数が所 定の最終しきい値を超える場合、GMII制御32′は まず高優先順位送信バッファ60の内容を送信バッファ 30 34, のうちの選択された1つの中へ出力する。たとえ は、高優先順位送信バッファ60が2つのデータフレー ムを記憶している場合、GMII制御32′は第1の髙 優先順位データパケットをバッファ60から送信バッフ ァ34。へ転送し、第2の高優先順位データフレームを バッファ60から送信バッファ34、へ送信する。一 旦、高優先順位バッファ60内の記憶されるデータの量 がある所定のしきい値以下に減少すると、GMI1制御 32′はそこで、低優先順位バッファ62内に記憶され るデータフレームがあれば、送信バッファ34、のうち の、LRU調停または統計的調停を用いて選択された1 つへ転送する。

【0027】開示される実施例によれば、複数のより低い速度のメディアインタフェースリンクにわたって複数のデータパケットの送信および受信を管理するため、メディアインタフェース内の経路選択調停論理に従って高速メディアインタフェースリンクと、選択されたより低い速度のメディアインタフェースリンクとの間でデータフレームを送信することができる。それぞれ対応のより低い速度のメディアインタフェースリンクと関連のあるそれぞれ対応のバッファ内にデータフレームを記憶する

11

ことによってタイミングおよび同期が維持され、第1の メディアインタフェースコントローラが高速メディアイ ンタフェースリンクに関連のあるデータフレームの送信 および受信を制御し、第2のメディアインタフェースコ ントローラが複数のメディアインタフェースリンクにわ たってのデータフレームの送信および受信を制御する。 【0028】開示された実施例はGMIIに従ったPH Yインタフェースを用いて説明したが、IEEE80 2. 3zでは、GMACはGMIIに従ったPHY、ま たは8 B / 10 B コード化がMA C内で行なわれる8 B 10 12 ネットワークノード ✓10Bに従ったPHYのどちらにも接続できることを 規定している。開示されたVGL26は、Txバッファ 34内に記憶する前にGMAC16からの符号化された 送信データの8B/10B復号化を行ない、Txバッフ ァ44からGMAC16へ出力する前に受信データの8 B/10B符号化を行ない、GMIIインタフェース2

【0029】この発明は現在最も実用的で好ましい実施 例とみなされるものに関連して説明したが、この発明が 開示される実施例に限定されるものではなく、逆に添付 の特許請求の範囲の精神および範囲内に含まれるさまざ まな修正および均等な構成を網羅することが意図されて いることが理解されるべきである。

4を適当な8B/10Bインタフェースと取り替えるこ

とにより、8日/10日プロトコル用に変更できる。と

のため、この発明は8 B/10 Bプロトコルの使用をも

[0030]

【産業上の利用可能性】開示される実施例はネットワー クを形成するコンピュータおよびネットワーク制御シス テムに適用可能である。

【図面の簡単な説明】

包含するものである。

【図1】この発明の一実施例による、高速データネット ワークにわたってパケットデータを送信するための構成 を示すプロック図である。

【図2】 この発明の第1の実施例による、メディアアク セスコントローラから複数のメディアインタフェースリ ンクヘデータフレームを転送するための仮想ギガビット レイヤを詳しく示すブロック図である。

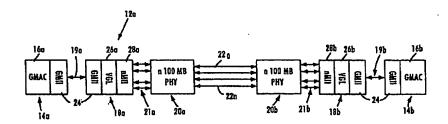
*【図3】との発明の第2の実施例による、高優先順位フ レームおよび低優先順位フレームを複数の物理レイヤリ ンクにわたって送信するための仮想ギガビットレイヤを 示すブロック図である。

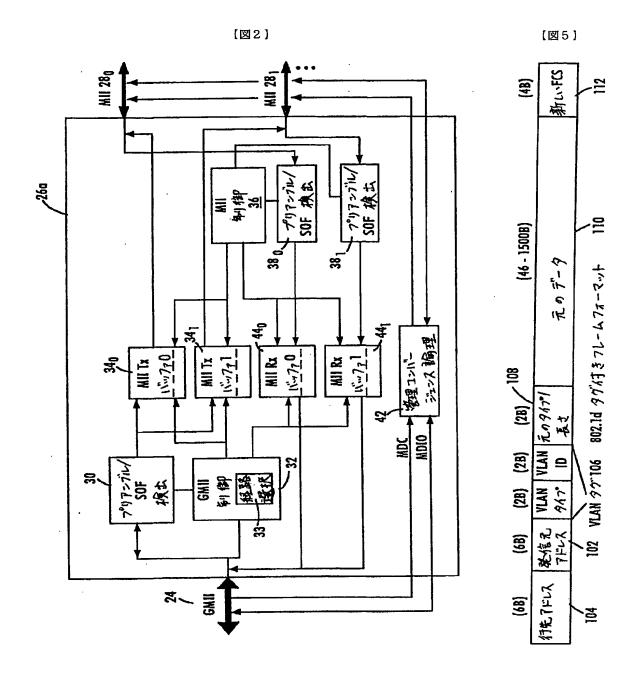
【図4】図2および図3の経路選択調停論理を示すプロ ック図である。

【図5】 高優先順位リンク上での送信のための優先順位 情報を含み得るデータフレーム構造を示す図である。 【符号の説明】

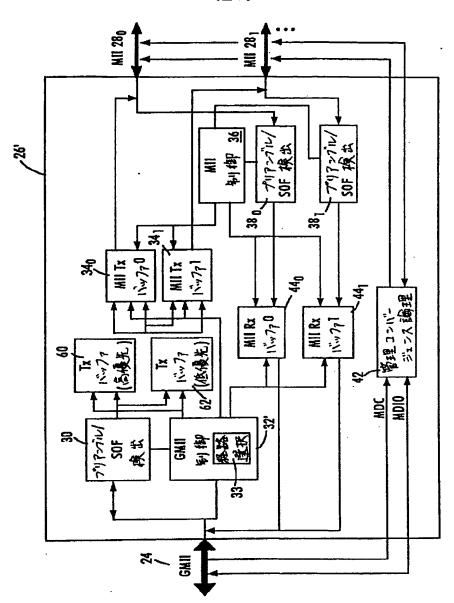
- - 14 ギガビットメディアアクセスコントローラ (GM AC) レイヤ
 - 16 ギガビットMAC (GMAC) コア
 - 18 特殊な調停レイヤ
 - 1.9 メディアインタフェースリンク
 - 20 100MB/秒物理レイヤ装置
 - 21 メディアインタフェースリンク
 - 22 メディアインタフェースリンク
 - 24 GMIIインタフェース
- 20 26 仮想ギガビットレイヤ
- 28 MII
 - 30 プリアンブル検出回路
 - GMII制御回路 32
 - 33 経路選択調停論理
 - 34 MII送信バッファ
 - 36 MII制御
 - 38 プリアンブル検出回路
 - 42 管理コンバージェンス論理
 - 44 MII受信バッファ
- 30 60 髙優先順位送信バッファ
 - 62 低優先順位送信バッファ
 - 102 発信元アドレス
 - 104 行先アドレス
 - 106 任意のVLANタグ
 - 108 パケットタイプ/長さフィールド
 - 110 ペイロードデータフィールド
 - 112 巡回冗長検査(CRC)またはフレームチェッ クシーケンス (FCS) フィールド

【図1】

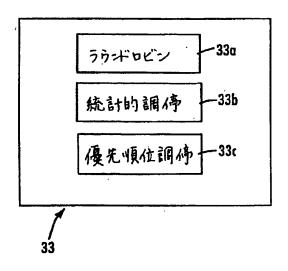




[図3]



【図4】



フロントページの続き

(72)発明者 ゴウパール・エス・クリシュナ アメリカ合衆国、95148 カリフォルニア 州、サン・ノゼ、アダムズウッド・ドライ ブ、3260 (72)発明者 モウハーン・ブイ・カルクンテ アメリカ合衆国、94087 カリフォルニア 州、サニィベイル、マグバイ・レーン、 1538

(72)発明者 シャシャンク・シィ・マーチャント アメリカ合衆国、94089 カリフォルニア 州、サニィベイル、モース・アベニュ、 1063、ナンバー・11-305